



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Masashi HIRATSUKA et al.

Application No.: 10/625,688

Filed: July 24, 2003

Docket No.: 116662

For: POWER SUPPLY APPARATUS AND IMAGE FORMING APPARATUS USING THE
SAME

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-357354 filed December 9, 2002

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/smk

Date: January 5, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**

Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 9 日
Date of Application:

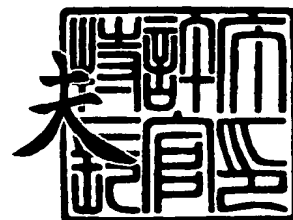
出 願 番 号 特 願 2 0 0 2 - 3 5 7 3 5 4
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 5 7 3 5 4]

出 願 人 富 士 ゼ ロ ッ ク ス 株 式 会 社
Applicant(s):

2 0 0 3 年 1 1 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 FE02-01489

【提出日】 平成14年12月 9日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H02M 7/00

【発明者】

 【住所又は居所】 神奈川県海老名市本郷 2 2 7 4 番地 富士ゼロックス株式会社海老名事業所内

 【氏名】 平塚 昌史

【発明者】

 【住所又は居所】 神奈川県海老名市本郷 2 2 7 4 番地 富士ゼロックス株式会社海老名事業所内

 【氏名】 高橋 邦廣

【特許出願人】

 【識別番号】 000005496

 【氏名又は名称】 富士ゼロックス株式会社

【代理人】

 【識別番号】 100087480

 【弁理士】

 【氏名又は名称】 片山 修平

 【電話番号】 043-351-2361

【選任した代理人】

 【識別番号】 100098497

 【弁理士】

 【氏名又は名称】 片寄 恭三

 【電話番号】 047-307-6020

【手数料の表示】

 【予納台帳番号】 153948

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0205289

【包括委任状番号】 0205300

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源装置及び画像形成装置

【特許請求の範囲】

【請求項 1】 容量性の負荷を駆動する電源装置において、
第 1 の並列共振回路と、第 2 の並列共振回路と、
前記第 1 の並列共振回路に接続され前記第 1 の並列共振回路とともに第 1 の並列共振回路部を構成する第 1 のスイッチング素子と、
前記第 2 の並列共振回路に接続され前記第 2 の並列共振回路部を構成する第 2 のスイッチング素子と、
一端が前記第 1 の並列共振回路部の出力端に接続され、他端が前記第 2 の並列共振回路部の出力端に接続された直列共振回路と、を備え、
外部から供給された制御信号に基づいて、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを交互にオンオフさせることを特徴とする電源装置。

【請求項 2】 前記第 1 又は第 2 の並列共振回路部は、第 1 の容量性素子を有し、該第 1 の容量性素子と前記第 1 又は第 2 のスイッチング素子の出力容量との合成容量とにより形成されることを特徴とする請求項 1 記載の電源装置。

【請求項 3】 前記直列共振回路は、第 2 の容量性素子を有し、
該第 2 の容量性素子と前記負荷の有する容量との合成容量とにより形成されることを特徴とする請求項 1 から 2 記載の電源装置。

【請求項 4】 前記第 2 のスイッチング素子に入力される制御信号は、前記第 1 のスイッチング素子に入力される制御信号の逆相の信号であることを特徴とする請求項 1 から 3 記載の電源装置。

【請求項 5】 前記第 1 又は第 2 のスイッチング素子は、トランジスタで構成され、
該トランジスタの端子と直流電源との間に電流制限用の抵抗を設けたことを特徴とする請求項 1 から 4 のいずれか一項記載の電源装置。

【請求項 6】 前記電源装置は更に、前記抵抗と前記トランジスタとの接続点と、接地との間にコンデンサを設けたことを特徴とする請求項 5 記載の電源装置。

【請求項 7】 前記直列共振回路は更に、インダクタンス素子を含み、該インダクタンス素子と前記第 2 の容量性素子との接続部に接続された出力端子を有することを特徴とする請求項 1 から 6 のいずれか一項記載の電源装置。

【請求項 8】 前記電源装置は更に、前記出力端からの出力を倍電圧整流する倍電圧整流回路を有することを特徴とする請求項 7 記載の電源装置。

【請求項 9】 画像形成部と、これに電源を供給する電源装置とを有し、該電源装置は、請求項 1 ないし 8 のいずれか一項に記載された電源装置であることを特徴とする画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、容量性の負荷を駆動する電源装置に関し、特にトランスを使わずに高電圧を発生する交流電源装置に関する。この電源装置は例えば、電子写真方式の画像形成装置において感光体上にトナー像を現像する現像器、感光体を帯電する帯電器、クリーナー等にバイアス電圧等の高電圧を供給する為の電源装置に用いる。

【0002】

【従来の技術】

従来、この種の電源装置を適用した電子写真方式の画像形成装置として、次に示すようなものがある。画像形成装置では感光体ドラムの表面を1次帯電器によって所定の電圧に一樣に帯電した後、この感光体ドラムの表面に画像を露光して画像に対応した静電潜像を形成する。そして、この感光体ドラム上に形成された静電潜像を、現像器によって現像し、トナー像を形成する。感光体ドラム上に形成されたトナー像は、転写帯電器の帯電によって転写用紙上に転写するとともに、これらのトナー像が転写された転写用紙を分離帯電器の帯電によって感光体ドラムから分離し、定着器によってトナー像を転写用紙上に定着して、画像の形成工程を終了する。

【0003】

例えば、感光体ドラム上に 4 つの現像器を用いて 4 色のトナー像を、当該感光

体ドラムが4回転する間に順次形成する方式のカラー画像形成装置では、感光体ドラム上に順次形成されたトナー像を乱すことなく、次の色のトナー像を現像する必要がある。そのため、上記カラー画像形成装置の各現像器には、現像中の1つの現像器に対しては、良好な現像を行うために必要なAC電圧を重畳したDC電圧からなる現像バイアス電圧を印加し、現像を行っていない他の3つの現像器に対しては、感光体ドラム上にトナーが付着するのを防止する所定のDC電圧を印加する高圧電源装置が用いられる。

【0004】

このような高圧電源装置として以下のような技術が提案されている（従来例1）。図9は、この従来例1の高圧交流電源を説明するための図である。図9に示すように、従来例1の高圧交流電源10は、現像器用電源の交流源、昇圧トランスTの一次側巻線N1に印加される直流電圧Viをオンオフ制御することによって、昇圧トランスTの二次側巻線N2に所定の交流電圧を誘起し、この交流電圧をバイアスとして負荷である現像器などに出力するというものである。しかし、この従来例1の高圧交流電源10は、電源回路にトランスTを用いているため、高周波側の周波数に制限があり高速化することができず、また、一般にトランスを用いると電源自体の大きさも大きくなってしまいうとともに、電源の重量も重くなってしまいうという問題がある。

【0005】

また、他の従来例として、以下に説明するような直流電源が提案されている（従来例2）。この従来例2の直流電源によれば、交流信号（20kHz、スイッチングパルス）を、トランスにより変圧し、整流倍電圧回路によって、高圧直流（PWMで電圧可変）を生成するというものである。しかし、従来例2の直流電源の場合も、従来例1の高圧交流電源と同様に、電源回路にトランスを用いているため、高周波側の周波数に制限があるため高速化を図ることができない。また、トランスを用いると電源装置の大きさが大きくなってしまいうため、電源装置を小さくするには、このトランスを無くす必要がある。

【0006】

これら従来例1及び従来例2の技術に対し、共振を利用したスイッチングによ

って、高電圧信号を得る方法が特許文献1により提案されている（従来例3）。図10は、この従来例3の交流バイアス電源装置を説明するための図である。図10に示すように、この従来例3の交流バイアス電源装置20は、容量性の負荷に直列に接続され、当該容量性の負荷とともにLC直列共振回路を構成するインダクタンスL1と、LC直列共振回路を正方向に付勢する付勢時間制御可能なスイッチング回路SW1と、スイッチング回路SW1による付勢終了後の直列共振エネルギーを回生するダイオードD1とを設けた付勢回路と、LC直列共振回路を負方向に付勢する付勢時間制御可能なスイッチング回路SW2と、スイッチング回路SW2による付勢終了後の直列共振エネルギーを回生するダイオードD2とを設けた付勢回路とを備え、付勢回路の付勢時間を制御することにより出力電圧を制御するというものである。これにより、負荷での消費電力は負荷の静電容量に依存しなくなり高効率化が図れるというものである。

【0007】

また、共振を使った他の電圧電源回路として特許文献2記載の高圧電源回路が提案されている（従来例4）。図11は、この従来例4の高圧電源回路を説明するための図である。この従来例4の高圧電源回路30は、インダクタL1と容量C4とからなる共振回路が配設され、この共振回路に発振用のトランジスタQ3が接続されるとともに、コンデンサC11、C12、C21、C22及びダイオードD11、D12、D21、D22から成る倍電圧整流回路31、32が接続される。発振用のトランジスタQ3をオンオフさせることによって、共振回路において共振電圧VL1が発生させられ、共振電圧VL1が倍電圧整流回路31、32によって倍電圧整流される。また、倍電圧整流回路31、32のダイオードD11、D21の零電位側に出力切替用のトライアックQ11、サイリスタQ21が接続され、この出力切替用スイッチング手段をQ11、Q21をオンオフさせることによって、出力端子OUT1、OUT2に出力電圧が選択的に発生させられるというものである。

【0008】

この高圧電源回路30は、トランスを用いない構成で、電源とスイッチング素子であるトランジスタQ3間に並列共振回路を備え、共振によって正負に振れた

波形を、整流倍電圧回路 31、32 を介して出力する事により、正負両極性の直流電圧を得ることができる。

【0009】

【特許文献 1】

特開平 6-197542 号公報

【特許文献 2】

特開平 7-107737 号公報

【発明が解決しようとする課題】

しかしながら、従来例 3 の共振を使った交流バイアス電源装置 20 における LC 直列共振回路は、負荷のインピーダンスを大きくして、損失を少なくする目的で用いられているため、高圧交流を出力するようにするためには、入力を大きくするか、又はトランスの昇圧比を大きくしなければ、負荷に対して大振幅の正弦波を出力することができないという問題がある。昇圧比の大きいトランスを用いることは、電源装置の効率が悪くなってしまうという問題にもつながる。

【0010】

また、従来例 4 に記載の電圧電源回路 30 は、トランスを用いていないものの、高圧で高周波数の交流を出力するためは、出力切替用のスイッチング手段であるトランジスタ Q3 を高耐圧かつ高速に動作させなければならないため、高周波数の交流波を出力することが困難であるという問題がある。また、この特許文献 2 の実施例に示されるようにフライバック電圧によって、十分なパルス幅をもつ高電圧の波形を得る事はできるが、入力に高電圧の電源を用いなければ負荷に対して大振幅の正弦波を出力することができないという問題もある。

【0011】

本発明は、上記従来技術の問題点に着目してなされたものであって、トランスを用いることなく、負荷に対して大振幅の正弦波を出力できる電源装置及び画像形成装置を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記課題を解決するために、請求項 1 記載の電源装置は、容量性の負荷を駆動

する電源装置において、第1の並列共振回路と、第2の並列共振回路と、前記第1の並列共振回路に接続され前記第1の並列共振回路とともに第1の並列共振回路部を構成する第1のスイッチング素子と、前記第2の並列共振回路に接続され前記第2の並列共振回路部を構成する第2のスイッチング素子と、一端が前記第1の並列共振回路部の出力端に接続され、他端が前記第2の並列共振回路部の出力端に接続された直列共振回路と、を備え、外部から供給された制御信号に基づいて、前記第1のスイッチング素子と前記第2のスイッチング素子とを交互にオンオフさせることを特徴とする。

【0013】

請求項1記載の電源装置によれば、外部から供給された制御信号に基づいて、前記第1のスイッチング素子と、前記第2のスイッチング素子とを交互にオンオフするようにして、直列共振回路部の両端に並列共振回路部により交互に電圧を供給するようにしたので、トランスを用いることなく、負荷に対して大振幅の正弦波を出力することができる。また、トランスを使用しないので、部品、例えばトランジスタなどの高さにまで薄くすることができる。これにより、小型化を図ることができる。省スペース化を図ることができる。また、周波数が高くても対応でき、さらにノイズを少なくすることもできる。

【0014】

また、請求項2記載のように、請求項1記載の電源装置において、前記第1又は第2の並列共振回路部は、第1の容量性素子を有し、該第1の容量性素子と前記第1又は第2のスイッチング素子の出力容量との合成容量とにより形成されることを特徴とする。請求項2記載の電源装置によれば、第1又は第2の並列共振回路部は、第1又は第2の並列共振回路部は、第1の容量性素子を有し、第1の容量性素子と第1又は第2のスイッチング素子の出力容量との合成容量とにより形成されるようにしたので、第1又は第2のスイッチング素子からみた電源のインピーダンスを極大化することができる。これにより、スイッチングの効率を最大限にすることができる。

【0015】

また、請求項3記載のように、請求項1又は2記載の電源装置において、前記

直列共振回路は、第2の容量性素子を有し、該第2の容量性素子と前記負荷の有する容量との合成容量とにより形成されることを特徴とする。請求項3記載の電源装置によれば、直列共振回路は、第2の容量性素子を有し、第2の容量性素子と負荷の有する容量との合成容量とにより形成されるようにしたので、先鋭度Qが大きくなるように第2の容量性素子の値を設定することにより、負荷に対して負荷に対して大振幅の正弦波を出力できる。

【0016】

また、請求項4記載のように、請求項1から3記載の電源装置において、前記第2のスイッチング素子に入力される制御信号は、前記第1のスイッチング素子に入力される制御信号の逆相の信号であることを特徴とする。請求項4記載の電源装置によれば、第2のスイッチング素子に入力される制御信号は、前記第1のスイッチング素子に入力される制御信号の逆相の信号であるので、第1のスイッチング素子と第1のスイッチング素子に同一のスイッチング素子、例えば、図2に示すようなnチャネル電界効果トランジスタを用いて構成することができる。

【0017】

また、請求項5記載のように、請求項1から4のいずれか一項記載の電源装置において、前記第1又は第2のスイッチング素子は、トランジスタで構成され、該トランジスタの端子と直流電源との間に電流制限用の抵抗を設けたことを特徴とする。請求項5記載の電源装置によれば、第1又は第2のスイッチング素子は、トランジスタで構成され、トランジスタの端子は、電流制限用の抵抗を介して直流電源に接続されるようにしたので、過大電流によるトランジスタの焼損を防ぐことができる。

【0018】

また、請求項6記載の電源装置は、請求項5記載の電源装置において、更に、前記抵抗と前記トランジスタとの接続点と、接地との間にコンデンサを設けたことを特徴とする。請求項6記載の記載の電源装置によれば、電源装置は更に、前記抵抗と前記トランジスタとの接続点と、接地との間にコンデンサを設けるようにしたので、このコンデンサの電圧補償作用により、急激な電圧変動を補償することができる。

【0019】

また、請求項7記載のように、請求項1から6のいずれか一項記載の電源装置において、前記直列共振回路は更に、インダクタンス素子を含み、該インダクタンス素子と前記第2の容量性素子との接続部に接続された出力端子を有することを特徴とする。請求項7記載の電源装置は、インダクタンス素子と第2の容量性素子との接続部に接続された出力端子を有するので、この出力端子に負荷を接続することにより、負荷に対して大振幅の正弦波を出力することができる。

【0020】

また、請求項8記載の電源装置は、請求項7記載の電源装置において、更に、前記出力端からの出力を倍電圧整流する倍電圧整流回路を有することを特徴とする。請求項8記載の交流電源装置によれば、出力端から得られた出力を倍電圧整流する倍電圧整流回路を有するので、倍電圧整流回路により、得られた出力電圧について整流動作を行うことで、出力電圧を倍圧して直流電圧を得ることができる。

【0021】

また、請求項9記載の画像形成装置は、画像形成部と、これに電源を供給する電源装置とを有し、該電源装置は、請求項1ないし8のいずれか一項に記載された電源装置であることを特徴とする。

【0022】**【発明の実施の形態】****(第1の実施の形態)**

次に、第1の実施の形態について説明する。図1は、第1の実施の形態に係る交流電源装置の概略構成図を示している。図1において、101は交流電源回路、102は直流電源、103はコントローラ、104は負荷を示している。交流電源回路101は、コントローラ103から入力されたロジックレベルクロック信号に基づいて、後述する内部の2つのスイッチング素子を交互にオンオフすることにより、クロック信号に応じた周波数で大振幅の正弦波を負荷104に出力する。

【0023】

次に、図1で示した交流電源回路101について図2を用いて説明する。図2は交流電源回路101Aを説明するための図である。本実施の形態に係る交流電源回路101Aは、インダクタL32とコンデンサC32および出力端子OUT1に接続された負荷104の容量成分からなる直列共振回路部の両端に第1及び第2の共振回路部により交互に電圧を供給する事により、片側から供給する場合よりも大きな出力を得ることが出来る事が特徴である。

【0024】

図2に示すように、この交流電源回路101では、低電圧の直流電源として、24Vの直流電源102（VDD）を用いる。また、ロジックレベルのクロック信号は、コントローラ103により交流電源回路の後述するスイッチング素子に入力される。このクロック信号には、VCO（Voltage Controlled Oscillator、図示省略）にて生成したパルスを、フリップフロップ（図示省略）により50%デューティに分周した約2MHzのパルス信号を用いる。なお、このパルス信号の電圧は5Vである。また、コントローラ103からのインバータクロック信号は、クロック信号と同一周波数で逆相の信号である。負荷4は、例えば現像器などである。

【0025】

交流電源回路101Aは、2つのスイッチング素子であるトランジスタQ31、Q32を有する。このトランジスタQ31、Q32は、ともにnチャネル電界効果トランジスタである。なお、本実施の形態では、スイッチング素子としてnチャネル電界効果トランジスタを用いた例について説明するが、これに限定されることなく、pチャネル電界効果トランジスタやバイポーラトランジスタを用いることもできる。

【0026】

nチャネル電界効果トランジスタQ31、Q32ともソース端子は接地されている。また、nチャネル電界効果トランジスタQ31のゲート端子には、コントローラ103からのクロック信号をオープンコレクタインバータU1Eで反転して供給する。また、nチャネル電界効果トランジスタQ32のゲート端子には、コントローラ103からのインバータクロック信号をオープンコレクタインバー

タ U1F で反転して供給する。また、n チャンネル電界効果トランジスタ Q31 のドレイン端子は、並列接続されたインダクタ L31 とコンデンサ C31 を介し、更に電流制限抵抗 R31 を介して、直流電源 102 に接続される。

【0027】

インダクタ L31 と、コンデンサ C31 とにより、第 1 の並列共振回路 51 が構成される。また、インダクタ L31 と、コンデンサ C31 と、n チャンネル電界効果トランジスタ Q31 により、第 1 の共振回路部が構成される。この第 1 の共振回路部は、インダクタ L31 のインダクタンスと、コンデンサ C31 と n チャンネル電界効果トランジスタ Q31 の出力容量の合成容量とより、コントローラ 103 からのクロック信号と同一の周波数で共振する。ここでいう同一の周波数とは厳密に同一ということではなく、第 1 の並列共振回路部における共振周波数に、ある程度の範囲を持たせるようにしてもよい。また、第 1 の共振回路部は、コンデンサ C31 を用いることなく、インダクタ L31 と n チャンネル電界効果トランジスタ Q31 により構成するようにしてもよい。

【0028】

第 1 の並列共振回路部は、n チャンネル電界効果トランジスタ Q31 から見た電源のインピーダンスを極大にし、スイッチングの効率を最大にする。また、電流制限用抵抗 R31 は、n チャンネル電界効果トランジスタ Q31 のドレイン端子と直流電源 102 との間に直列に挿入されており、電流を制限し、過大電流による n チャンネル電界効果トランジスタ Q31 の焼損を防ぐためのものである。

【0029】

n チャンネル電界効果トランジスタ Q32 のドレイン端子も同様に、並列接続されたインダクタ L33 とコンデンサ C34 を介し、更に電流制限用抵抗 R32 を介して、直流電源 102 に接続される。

【0030】

また、インダクタ L33 と、コンデンサ C34 とにより、第 2 の並列共振回路 52 が構成される。また、インダクタ L33 と、コンデンサ C34 と、n チャンネル電界効果トランジスタ Q32 により、第 2 の共振回路部が構成される。この第 2 の共振回路部は、インダクタ L33 のインダクタンスと、コンデンサ C34 と

nチャネル電界効果トランジスタQ32の出力容量の合成容量とより、コントローラ103からのクロック信号と同一の周波数で共振する。ここでいう同一の周波数とは厳密に同一ということではなく、第2の並列共振回路部における共振周波数に、ある程度の範囲を持たせるようにしてもよい。また、第2の共振回路部は、コンデンサC34を用いることなく、インダクタL33とnチャネル電界効果トランジスタQ32により構成するようにしてもよい。

【0031】

第2の並列共振回路部は、nチャネル電界効果トランジスタQ32から見た電源のインピーダンスを極大にし、スイッチングの効率を最大にする。また、電流制限用抵抗R32は、nチャネル電界効果トランジスタQ32のドレイン端子と直流電源102との間に直列に挿入されており、電流を制限し、過大電流によるnチャネル電界効果トランジスタQ32の焼損を防ぐためのものである。また、電流制限抵抗R31、R32の各ドレイン端子側と接地との間には、電圧補償コンデンサC33、C35が接続されている。この電圧補償コンデンサC33、C35により急激な電圧変動を補償する。

【0032】

また、nチャネル電界効果トランジスタQ31、Q32の各ドレイン端子には、更にインダクタL32とコンデンサC32が接続される。インダクタL32とコンデンサC32の接続部には負荷104への出力を取り出すための出力端子OUT1を備える。なお、図2ではインダクタL32がnチャネル電界効果トランジスタQ31側、コンデンサC32がnチャネル電界効果トランジスタQ32側に位置しているが、逆の構成になっていても問題は無い。

【0033】

インダクタL32と、コンデンサC32とにより直列共振回路53が構成される。また、インダクタL32、コンデンサC32、nチャネル電界効果トランジスタQ31及びnチャネル電界効果トランジスタQ32により直列共振回路部が構成される。すなわち、インダクタL32とコンデンサC32は直列に接続され、インダクタL32は、コンデンサC32に対して、直列共振回路部を形成している。

【0034】

この直列共振回路部は、コントローラ103から入力されるクロック信号と同一の周波数で共振する。また、インダクタL32とコンデンサC32の値は、先鋭度Qを極力大きくする為に、インダクタL32が大きくなる様に選択することが好ましい。

【0035】

次に、図2で示した交流電源回路101Aの動作について説明する。図3は、交流電源回路の動作を示すタイミングチャートである。

【0036】

図3において、(a)に示すクロック信号(Clock)は、コントローラ103から交流電源回路101Aに入力されるクロック信号を、(b)に示すインバータクロック信号(In v. Clock)は、クロック信号と同一周波数で逆相の信号を、(c)に示すVQ31は、nチャネル電界効果トランジスタQ31のドレイン端子の電圧を、(d)に示すVQ32は、nチャネル電界効果トランジスタQ32のドレイン端子の電圧を、(e)に示すVL32-VC32は、インダクタL32、コンデンサC32間の電圧を示している。また、VDDは電源電圧を示す。

【0037】

nチャネル電界効果トランジスタQ31には、図3(a)に示すクロック信号が供給され、nチャネル電界効果トランジスタQ32には、図3(b)に示すようにクロック信号と位相が逆相のインバータクロック信号が入力される。このため、nチャネル電界効果トランジスタQ31、Q32は交互にオン/オフする。詳細には、クロック信号がハイ(High)(*1)、インバータクロック信号がロー(Low)の時(*2)、nチャネル電界効果トランジスタQ31はオフとなり、nチャネル電界効果トランジスタQ32はオンとなる。

【0038】

このため、直流電源102から、電流制限用抵抗R31、インダクタL31、nチャネル電界効果トランジスタQ31を経て、グラウンド(Gnd)へ流れていた電流は遮断され、直流電源102から、電流制限用抵抗R32、インダクタL

33、nチャネル電界効果トランジスタQ32を経て、グランド(Gnd)へ電流が流れる。従って、nチャネル電界効果トランジスタQ31のドレイン端子の電圧VQ31は、並列共振回路部の効果によりVDD24Vを中心に共振を起こすので、図3(c)に点線で示すようにVDD'となる(*3)。

【0039】

一方、nチャネル電界効果トランジスタQ32のドレイン端子の電圧VQ32は、図3(d)に示すように0Vになる(*4)。なお、VDD'は、先鋭度Q値の取り方によってことなるが、直流電源VDDの約2倍程度の値である。

【0040】

次に、図3(a)に示すクロック信号がロー(Low)(*5)、インバータクロック信号がハイ(High)になると(*6)、nチャネル電界効果トランジスタQ31がオンとなり、nチャネル電界効果トランジスタQ32はオフになる。このため、直流電源102から、電流制限用抵抗R31、インダクタL31、nチャネル電界効果コンデンサQ31を経て、グランド(Gnd)へ電流が流れる。従って、nチャネル電界効果トランジスタQ31のドレイン端子の電圧VQ31は0Vとなり(*7)、nチャネル電界効果トランジスタQ32のドレイン端子の電圧VQ32は、nチャネル電界効果トランジスタQ31と同様に並列共振の効果によって、図3(d)の点線で示すVDD'となる(*8)。

【0041】

外部から供給されるクロック信号及びインバータクロック信号に従い、以上の動作を繰り返すので、図3の(c)(d)に示すように、VQ31、VQ32は0VからVDD'の間を振動する波形となる。ここで、前述した直列共振回路部の両端にかかる電圧VL32-C32(インダクタL32→コンデンサC32を正の向きとする)は、図3(c)(d)の点線で示す波形の最大値と最小値の差となるので、図3(e)に示すように2VDD'となる。従って、電源電圧VDD24Vの約4倍の電圧を直列共振回路部の両端にかけられる事ができる。

【0042】

更に直列共振回路部によって、出力端子OUT1にはQ倍の振幅を発生する事ができる。この波形を図3(f)に示す。本実施の形態に係る交流電源回路10

1 Aによれば、出力端子OUT 1には、 $4 \times Q \times VDD'$ のピークツーピーク (peak to peak) 値の波形を発生させることができる。このように、本実施の形態で説明した交流電源回路101 Aは、単独で交流波を供給することに使える。

【0043】

(第2の実施の形態)

次に、第2の実施の形態について説明する。図4は、第2の実施の形態に係る交流電源回路を説明するための図である。図4は、第2の実施の形態に係る交流電源回路を説明するための図である。交流電源回路101 Bは、インダクタL 42とコンデンサC 42および出力端子OUT 2に接続された負荷104の容量成分からなる直列共振回路部の片側を駆動させることにより出力を得るようにしている。第1の実施の形態では、この直列共振回路部の両側を駆動させることにより出力を得るようにしていたのとは異なり、本実施の形態では、この直列共振回路部の片側を駆動させることにより、出力を取り出すことを特徴としている。

【0044】

図4に示すように、本実施の形態では、第1の実施の形態と同様に、この交流電源回路101 Bでは、低電圧の直流電源として、24 Vの直流電源102 (VDD) を用いる。クロック信号は、コントローラ103により交流電源回路101 Bのスイッチング素子であるトランジスタQ 41に入力される。このクロック信号には、図示を省略するVCO (Voltage Controlled Oscillator) にて生成したパルスを用いる。なお、このパルス信号の電圧は例えば5 Vである。

【0045】

トランジスタQ 41は、nチャネル電界効果トランジスタである。nチャネル電界効果トランジスタQ 41はソース端子を接地している。nチャネル電界効果トランジスタQ 41のゲート端子には、前述のクロック信号が供給される。nチャネル電界効果トランジスタQ 41のドレイン端子は、並列接続されたインダクタL 41とコンデンサC 41を介し、更に電流制限抵抗R 41を介して、直流電源102に接続される。

【0046】

このインダクタ 41 と、コンデンサ 41 とによって並列共振回路 61 を構成する。また、インダクタ L 41 は、コンデンサ C 41 と n チャンネル電界効果トランジスタ Q 41 の出力容量の合成容量に対して、クロック信号の周波数で共振する並列共振回路部を形成する。ここでいう同一の周波数とは厳密に同一ということではなく、並列共振回路部における共振周波数に、ある程度の範囲を持たせるようにしてもよい。また、共振回路部は、コンデンサ C 41 を用いることなく、インダクタ L 41 と n チャンネル電界効果トランジスタ Q 41 により構成するようにしてもよい。

【0047】

この並列共振回路部により、n チャンネル電界効果トランジスタ Q 41 から見た電源のインピーダンスを極大にし、スイッチングの効率を最大にすることができる。また、電流制限用抵抗 R 41 は、電流を制限し、過大電流による n チャンネル電界効果トランジスタ Q 41 の焼損を防ぐためのものである。電流制限抵抗 R 41 のドレイン端子側には、電圧補償コンデンサ C 43 が接地間に接続され、この電圧補償コンデンサにより急激な電圧変動を補償する。n チャンネル電界効果トランジスタ Q 41 のドレイン端子には、更にインダクタ L 42 とコンデンサ C 42 が接続される。インダクタ L 42 とコンデンサ C 42 の接続部に負荷 104 への出力を取り出す出力端子 OUT 2 を備える。

【0048】

インダクタ L 42 とコンデンサ C 42 は直列に接続され、直列共振回路 62 を形成する。インダクタ 42 は、コンデンサ C 42 と出力端子 OUT 2 に接続される負荷 104 の持つ容量の合成容量に対して、直列共振回路部を形成しており、クロック信号の周波数で共振する。また、インダクタ L 42 とコンデンサ C 42 の値は、先鋭度 Q を極力大きくする為に、インダクタ L 42 が大きくなるように選択することが好ましい。

【0049】

次に、図 4 で示した交流電源回路 101 B の動作について説明する。図 5 (a) ~ (c) は、交流電源回路の動作を示すタイミングチャートである。図 5 において、図 5 (a) はクロック信号 (Clock) は、交流電源回路 101 B に入

力されるロジックレベルのクロック信号を示し、図5 (b) に示す V_{Q41} は、 n チャネル電界効果トランジスタ $Q41$ のドレイン端子の電圧を示し、図5 (c) に示す V_{out2} は出力端子 $OUT2$ からの出力を示している。 n チャネル電界効果トランジスタ $Q41$ は、図5 (a) に示すクロック信号の入力を受けることによりオン／オフする。クロック信号がロー (Low) のとき (*11)、 n チャネル電界効果トランジスタ $Q41$ はオフとなる。

【0050】

従って、直流電源102から、電流制限用抵抗 $R41$ 、インダクタ $L21$ 、 n チャネル電界効果トランジスタ $Q41$ を経て、グラウンド (Gnd) へ流れていた電流は遮断され、 n チャネル電界効果トランジスタ $Q41$ のドレイン端子の電圧 V_{Q41} は、並列共振回路部の効果により V_{DD24V} を中心に共振を起こすので、図5 (b) の点線で示すように V_{DD}' (約2倍、 Q 値の取り方によって異なる) となる (*12)。

【0051】

次に、図5 (a) に示すクロック信号がハイ (High) になると (*13)、 n チャネル電界効果トランジスタ $Q41$ がオンとなる。このため、直流電源102から、電流制限用抵抗 $R41$ 、インダクタ $L21$ 、 n チャネル電界効果コンデンサ $Q41$ を経て、グラウンド (Gnd) へ電流が流れる。従って、 n チャネル電界効果トランジスタ $Q41$ のドレイン端子の電圧 V_{Q41} は図5 (b) に示すように0Vとなる (*14)。

【0052】

コントローラ103から供給されるクロック信号に従い、以上の動作を繰り返すので、図5 (b) の V_{Q41} に示すように0Vから V_{DD}' の間を振動する波形となる。ここで、前述した直列共振回路部の両端にかかる電圧 $V_{L42-C42}$ は、図5 (b) の点線で示す波形の最大値となるので、 V_{DD}' となる。このため、直列共振回路部に、電源電圧24Vの約2倍の電圧 ($2 \times V_{DD}$) をかける事ができる。

【0053】

更に直列共振回路部によって、出力端子 $OUT2$ には Q 倍の振幅を発生する事

ができる。このため、図5(c)に示す $2 \times Q \times VDD'$ の出力 V_{out2} を得ることができる。上記の通り、本実施の形態に係る電源装置は、単独で交流波を供給することに使うことができる。

【0054】

(第3の実施の形態)

次に、第3の実施の形態に係る交流電源回路について説明する。図6は、第3の実施の形態に係る交流電源回路を説明するための図である。交流電源回路101Cは、インダクタL52とコンデンサC52および出力端子OUT3に接続された負荷104の容量成分からなる直列共振回路部の片側を駆動させることにより出力を得るようにしている。第1の実施の形態では、この直列共振回路部の両側を駆動させることにより出力を得るようにしていたのとは異なり、本実施の形態では、この直列共振回路部の片側を駆動させることにより、出力を取り出すことを特徴としている。

【0055】

図6に示すように、本実施の形態では、第1及びの実施の形態と同様に、この交流電源回路101Cでは、低電圧の直流電源として、24Vの直流電源102(VDD)を用いる。クロック信号は、コントローラ103により交流電源回路101Cのスイッチング素子であるトランジスタQ51に入力される。このクロック信号には、図示を省略するVCO(Voltage Controlled Oscillator)にて生成したパルスを用いる。なお、このパルス信号の電圧は例えば5Vである。

【0056】

図6に示すように、交流電源回路101Cは、nチャネル電界効果トランジスタQ51と、pチャネル電界効果トランジスタQ52と、pチャネル電界効果トランジスタQ52のソースと直流電源2間に直列に挿入された電流制限抵抗R52と、nチャネル電界効果トランジスタQ51のゲートと直流電源102間に直列に挿入された抵抗R51と、pチャネル電界効果トランジスタQ52のソースとグラント間に直列に挿入されたコンデンサC53と、pチャネル電界効果トラ

ンジスタ Q 5 2 のドレインとグランド間に並列に挿入されたインダクタ L 5 1 とコンデンサ C 5 1 と、 p チャンネル電界効果トランジスタ Q 5 2 のドレインと負荷 1 0 4 間に接続されるインダクタ L 5 2 と、インダクタ L 5 2 の負荷 1 0 4 側とグランド間に直列に接続されるコンデンサ C 5 2 とから構成される。また、 n チャンネル電界効果トランジスタ Q 5 1 のゲート端子は、コントローラ 1 0 3 に接続され、上述したクロック信号が供給される。また、インダクタ L 5 2 とコンデンサ C 5 2 の接続部には負荷 1 0 4 への出力を取り出す出力端子 O U T 3 を備える。尚、 n チャンネル電界効果トランジスタ Q 5 1 は、第 2 の実施の形態で示した回路と同じ入力信号によって動作するように、入力信号を反転する為に備えた物であり、入力信号を p チャンネル電界効果トランジスタに合わせて生成する事により省略が可能である。

【 0 0 5 7 】

電流制限用抵抗 R 5 1、R 5 2 は電流を制限し、過大電流による n チャンネル電界効果トランジスタ Q 5 1、p チャンネル電界効果トランジスタ Q 5 2 の焼損を防ぐためのものである。電流制限抵抗 R 5 2 のソース端子側には、電圧補償コンデンサ C 5 3 が接地間に接続され、急激な電圧変動を補償する。

【 0 0 5 8 】

また、インダクタ 5 1 と、コンデンサ 5 1 とによって、並列共振回路 7 1 を構成する。また、コンデンサ C 5 1 と p チャンネル電界効果トランジスタ Q 5 2 の出力容量との合成容量と、インダクタ L 5 1 によって形成される並列共振回路部は、クロック信号の周波数で共振する。ここでいう同一の周波数とは厳密に同一ということではなく、並列共振回路部における共振周波数に、ある程度の範囲を持たせるようにしてもよい。また、共振回路部は、コンデンサ C 5 1 を用いることなく、インダクタ L 5 1 と n チャンネル電界効果トランジスタ Q 5 1 により構成するようにしてもよい。この並列共振回路部は、スイッチング素子である p チャンネル電界効果トランジスタ Q 5 2 からみた電源のインピーダンスを極大化し、スイッチングの効率を最大にする。

【 0 0 5 9 】

また、インダクタ L 5 2 と、コンデンサ C 5 2 とで直列共振回路 7 2 を構成す

る。コンデンサC52と後段に接続される負荷104の容量成分との合成容量とインダクタL52から形成される直列共振回路部は、クロック信号の周波数で共振する。この直列共振回路部は、先鋭度Qを大きくするようにインダクタLの値が大きくなるようにインダクタL、コンデンサCの値を設定して、出力の増幅率を大きくすることが好ましい。

【0060】

次に、図6で示した交流電源回路の動作について説明する。本実施の形態に係る交流電源回路101Cの動作は、第2の実施の形態で説明した図5の動作図（タイミングチャート）を用いて説明する。

【0061】

図5において、図5（a）に示すクロック信号（Clock）は、交流電源回路101Cに入力されるロジックレベルのクロック信号を示し、図5（b）に示すVQ52は、pチャネル電界効果トランジスタQ52のドレイン端子の電圧を示し、図5（c）に示すVout3は出力を示している。

【0062】

nチャネル電界効果トランジスタQ51は、クロック信号の入力を受けることによりオン／オフする。クロック信号がロー（Low）のとき、nチャネル電界効果トランジスタQ51はオフとなる。このため、pチャネル電界効果トランジスタQ52はオフとなる。従って、直流電源102から、電流制限用抵抗R52、pチャネル電界効果トランジスタQ52、インダクタL51を経てグランド（Gnd）へ流れていた電流は遮断され、pチャネル電界効果トランジスタQ52のドレイン端子の電圧VQ52は、並列共振回路部の効果によりグランド（Gnd）の0Vを中心に共振を起こすので、図5（d）に示す点線で示すように波高値がVDD'となる。このVDD'は、先鋭度Q値の取り方によって異なるが、本実施の形態では、VDDの約2倍の電圧波形を得ることができる。

【0063】

次に、クロック信号がハイ（High）になると、nチャネル電界効果トランジスタQ51がオンとなる。このため、pチャネル電界効果トランジスタQ52もオンとなる。従って、直流電源102から、電流制限用抵抗R52、pチャネ

ル電界効果トランジスタQ52、インダクタL51を経て、グラウンド(Gnd)へ電流が流れる。

【0064】

コントローラ103からのクロック信号に従い、以上の動作を繰り返すので、図5(d)に示すようなVQ51に示すようにVDDから約 $-VDD$ の間を振動する波高値 VDD' の波形となる。ここで、前述した直列共振回路部の両端にかかる電圧VL52-C52は、点線で示す波形の最大値となるので、 VDD' となり、電源電圧24Vの約2倍の電圧($2 \times VDD$)を直列共振回路部にかける事ができる。更に直列共振回路部によって、出力端子OUT3にはQ倍の振幅を発生する事ができる。このため、 $2 \times Q \times VDD'$ の出力Voutを得ることができる。この回路は例えば、単独で交流波を供給することに使うことができる。

【0065】

本実施の形態のように、直流電源102に例えば24Vを用いた場合、トランジスタQ51に入力された5Vのクロック信号は、およそ24Vの信号に反転増幅される。次にトランジスタQ52と、インダクタL51、コンデンサC51からなる並列共振回路によって、0Vを中心とする $\pm 24V$ の信号に増幅される。更に、コンデンサC52、インダクタL52からなる直列共振回路によって、出力はQ倍となり、およそ $\pm 200V$ の大振幅の信号となって負荷104に入力される。

【0066】

(第4の実施の形態)

次に、第4の実施の形態について説明する。図7は、第4の実施形態を説明するための図である。図7は、上述した交流電源回路101A~Bを用いた実施の形態を示している。図7において、101Aは第1の交流電源回路、101Bは第2の交流電源回路、102は直流電源と、103A、103Bはコントローラ、104は負荷、105は倍電圧整流回路、C100はコンデンサを示している。

【0067】

交流電源回路101Aは、第1の実施の形態で説明したものであり、直流電源102に接続され、コントローラ103Aから供給されるクロック信号Aに基づ

いて、大振幅の正弦波を負荷 104 に出力する。コンデンサ C100 は、交流電圧回路 101B と倍電圧整流回路 105 からの直流電圧と、交流電源回路 101A の交流電圧を重畳するために用いるものである。また、交流電源回路 101B は、第 2 の実施の形態で説明したものであり、直流電源 102 に接続され、コントローラ 103B から供給されるクロック信号 B に基づいて、大振幅の正弦波を倍電圧整流回路 105 に供給する。

【0068】

倍電圧整流回路 105 は、交流電源回路 101B から供給される出力を倍電圧整流する。すなわち、交流電源回路 101A から得られる昇圧電圧について整流動作を行うことで、昇圧電圧を倍圧して直流電圧を得るように構成されている。倍電圧整流回路 105 は、この倍圧した直流電圧を負荷 104 に供給する。負荷 104 は、例えば、現像器である。図 7 に示す A は、負荷 104 へ供給された電位を示している。また、図 7 において、A1 及び A2 の箇所の電位は倍電圧整流回路 105 が供給する直流電圧により決定される。なお、本実施の形態では、101A に第 1 の実施の形態で説明した交流電圧回路を、101B に第 2 の実施の形態で説明した交流電圧回路を用いた例について説明しているが、これらの交流電圧回路には、第 1 から 3 の実施の形態で説明した交流電圧回路のうちのどれを使っても実現可能である。また、倍電圧整流回路 105 は、複数段にすることにより複数倍の直流電圧を得る事ができる。

【0069】

(第 5 の実施の形態)

次に、第 5 の実施の形態について説明する。図 8 は、第 1 の実施の形態で説明した交流電源回路 101A を用いた例を示す図である。図 8 において、101A は交流電源回路、102 は直流電源と、103C はコントローラ、104 は負荷、105 は倍電圧整流回路を示している。交流電源回路 101A は、第 1 の実施の形態で説明したものと同様であり、直流電源 102 に接続され、コントローラ 103C から供給されるクロック信号 C に基づいて、大振幅の正弦波を倍電圧整流回路 105 に出力する。

【0070】

倍電圧整流回路 105 は、交流電源回路 101A から供給される出力を倍電圧整流する。すなわち、交流電源回路 101A から得られる昇圧電圧について整流動作を行うことで、昇圧電圧を倍圧して直流電圧を得るように構成されている。倍電圧整流回路 105 は、倍圧した直流電圧を負荷 104 に供給する。負荷 104 は、例えば、帯電器である。図 8 に示す B は、負荷 104 へ供給された電位を示している。なお、本実施の形態では、交流電源回路に第 1 の実施の形態で説明した交流電源回路を用いた例について説明するが、交流電源回路は、第 1 から 3 の実施形態で説明した交流電源回路のどれを使っても実現することができる。また、倍電圧整流回路 105 は、複数段にすることにより複数倍の直流電圧を得る事ができる。

【0071】

上記した電源装置は、例えば電子写真方式の画像形成装置において感光体上にトナー像を現像する現像器、感光体を帯電する帯電器、クリーナー等にバイアス電圧等の高電圧を供給する為の電源装置に用いることができる。上記第 4 及び第 5 の実施の形態のように、第 1 から第 3 の実施の形態で説明した交流電源回路は、倍電圧整流回路と組み合わせて直流電源として用いることもできる。また、他の直流電源と組み合わせることによって現像器用の AC 源として用いることもできる。また、画像形成装置は、画像形成部と、これに電源を供給する電源装置とを有し、該電源装置には、上記各実施の形態で説明した電源装置を用いることができる。

【0072】

以上、本発明の一実施の形態を説明した。本発明は上記実施の形態に限定されるものではなく、本発明の要旨の範囲内において種々変形が可能である。

【0073】

【発明の効果】

以上詳細に説明したように、本発明の交流電源装置によれば、外部から入力されたクロック信号に基づいて、第 1 の並列共振回路部を構成する第 1 のスイッチング素子と、第 2 の並列共振回路部を構成する第 2 のスイッチング素子を交互にオンオフすることにより、直列共振回路部の両端に交互に電圧を供給するように

したので、トランスを用いることなく、負荷に対して大振幅の正弦波を出力できる電源装置及び画像形成装置を提供できる。

【図面の簡単な説明】

【図 1】 第 1 の実施の形態に係る交流電源装置の概略構成図である。

【図 2】 第 1 の実施の形態に係る交流電源回路を説明するための図である。

【図 3】 交流電源回路の動作を示すタイミングチャートである。

【図 4】 第 2 の実施の形態に係る交流電源回路を説明するための図である。

【図 5】 交流電源回路の動作を示すタイミングチャートである。

【図 6】 第 3 の実施の形態に係る交流電源回路を説明するための図である。

【図 7】 第 4 の実施形態を説明するための図であって、第 1 及び第 2 の実施形態に係る交流電源回路の適用例を示す図である。

【図 8】 第 5 の実施形態を説明するための図であって、第 1 の実施形態に係る交流電源回路の適用例を示す図である。

【図 9】 従来例 1 の高圧交流電源を説明するための図である。

【図 10】 従来例 3 の交流バイアス電源装置を説明するための図である。

【図 11】 従来例 4 の高圧電源回路を説明するための図である。

【符号の説明】

51、52、61、71 並列共振回路

53、62、72 直列共振回路

101、101A、101B、101C 交流電源回路

102 直流電源

103 コントローラ

104 負荷

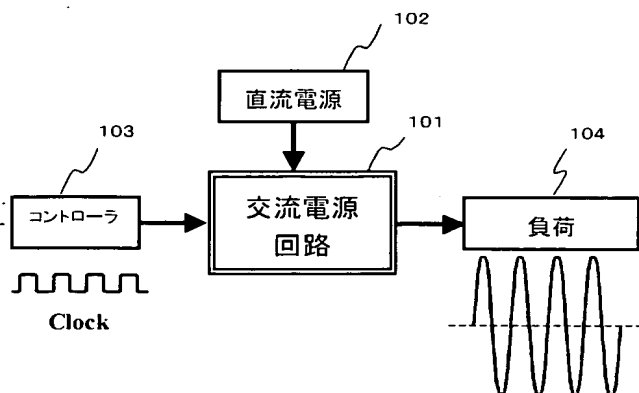
105 倍電圧整流回路

Q31、Q32、Q41、Q51、Q52 トランジスタ

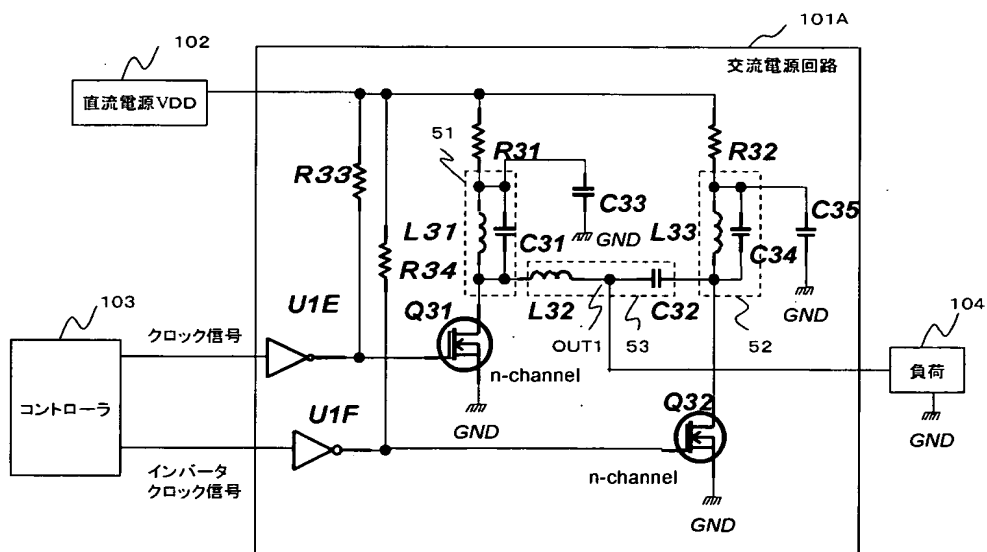
OUT1、OUT2、OUT3 出力端子

【書類名】 図面

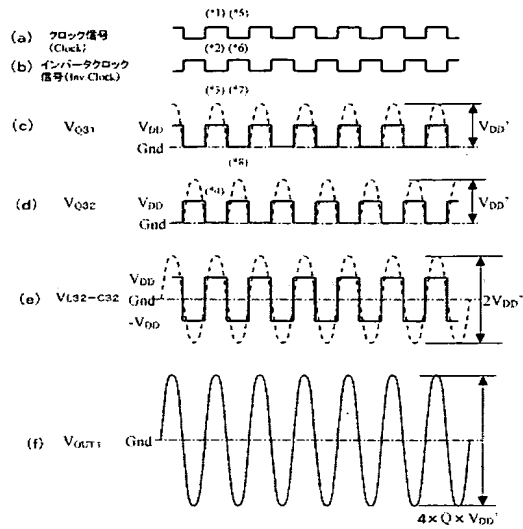
【図 1】



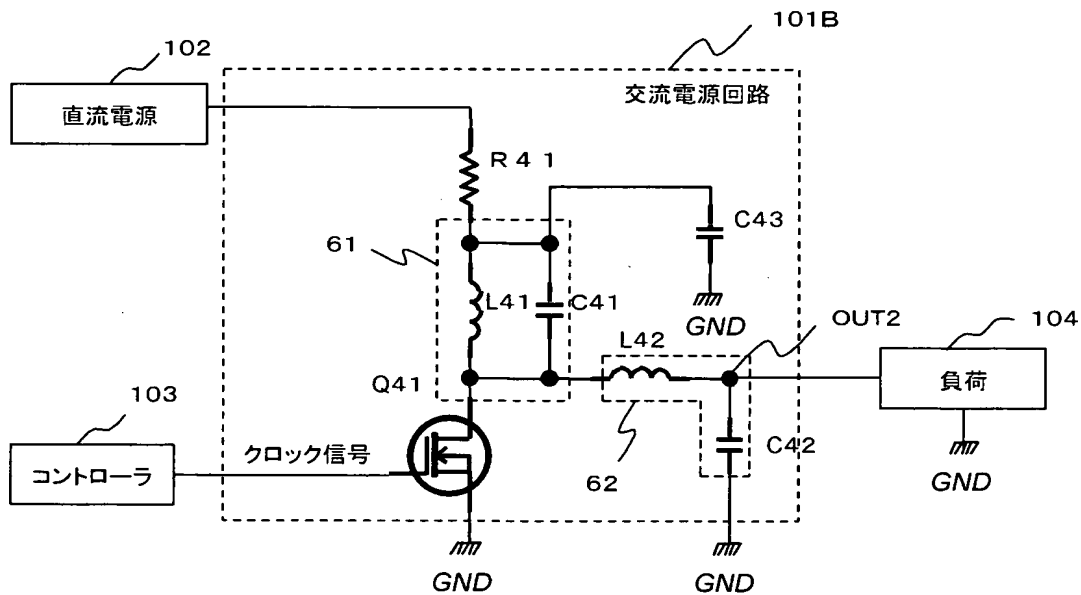
【図 2】



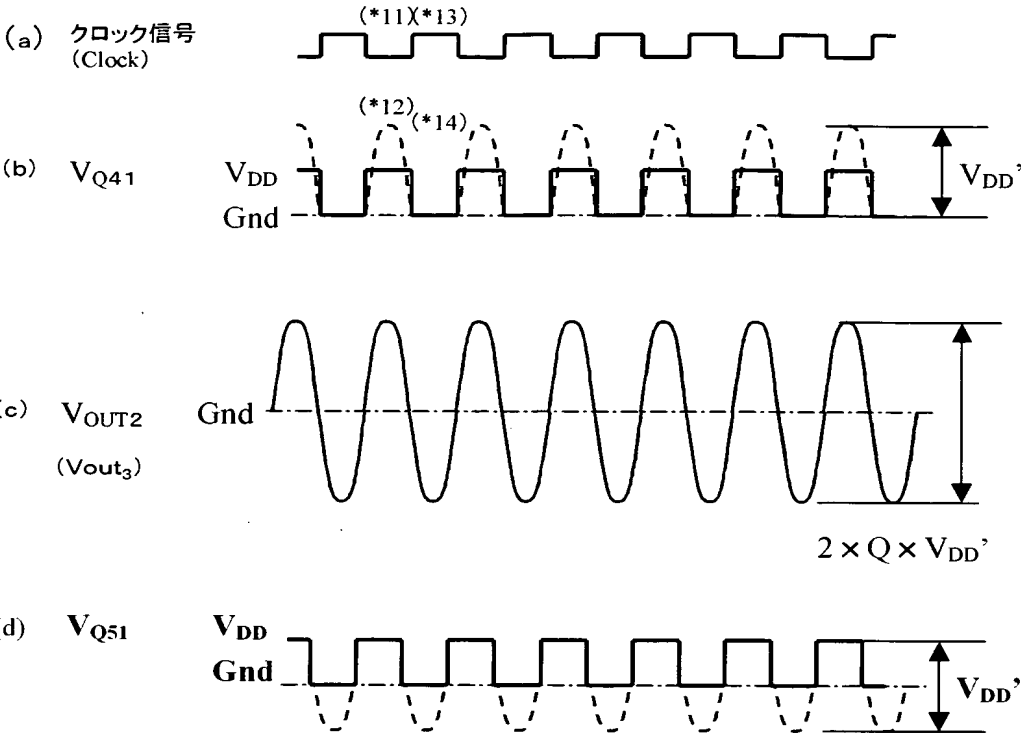
【図 3】



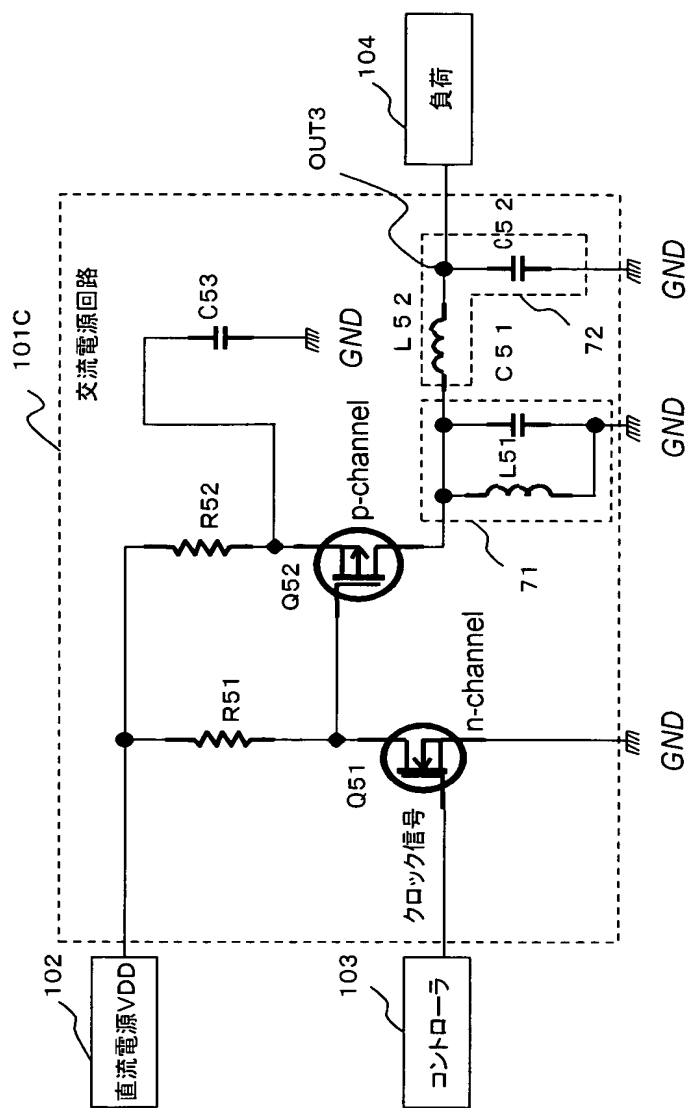
【図 4】



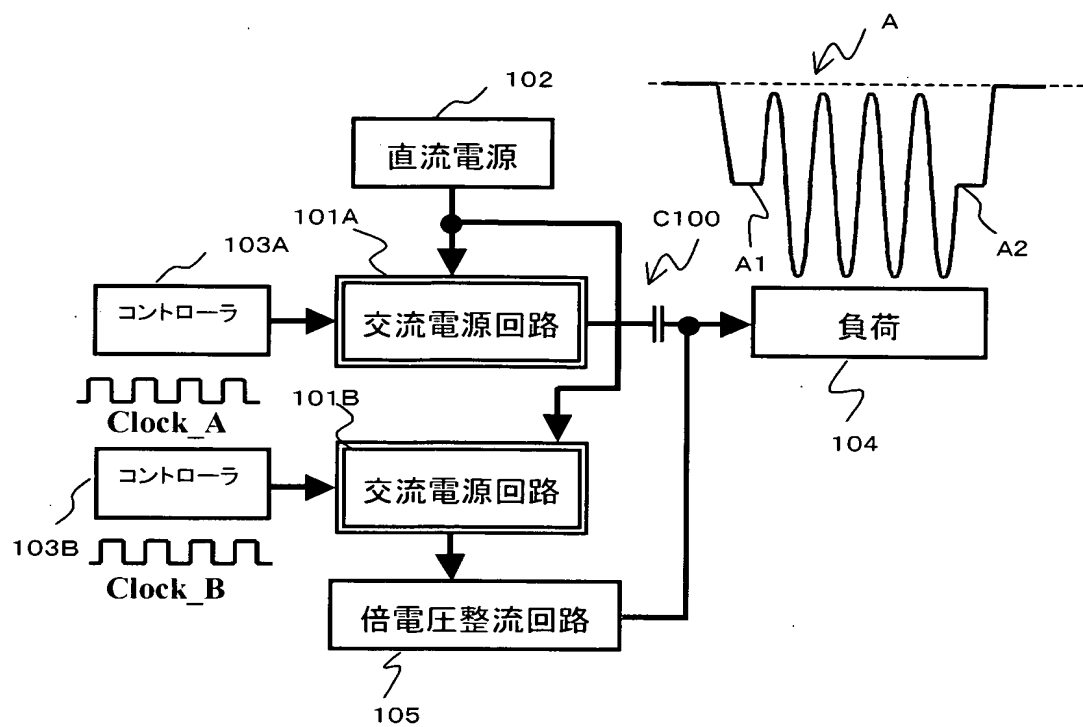
【図 5】



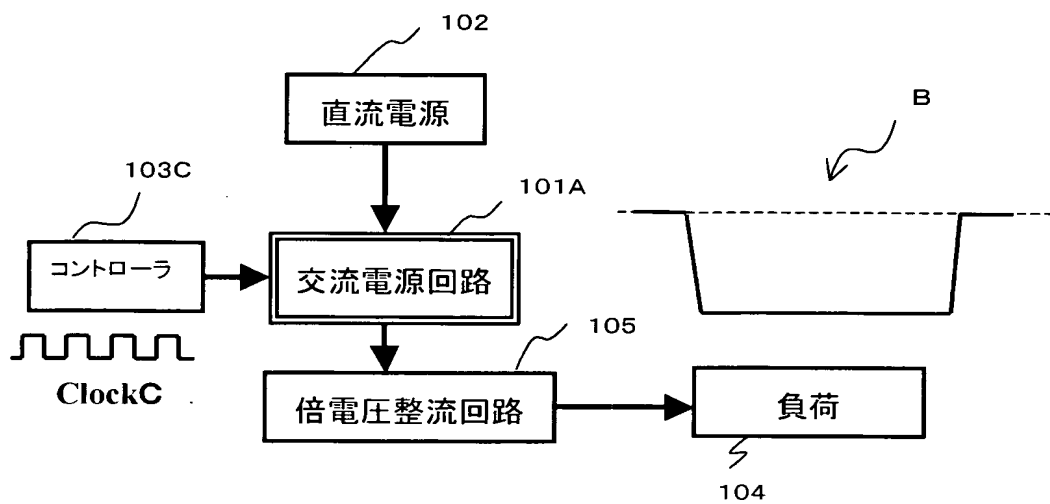
【図 6】



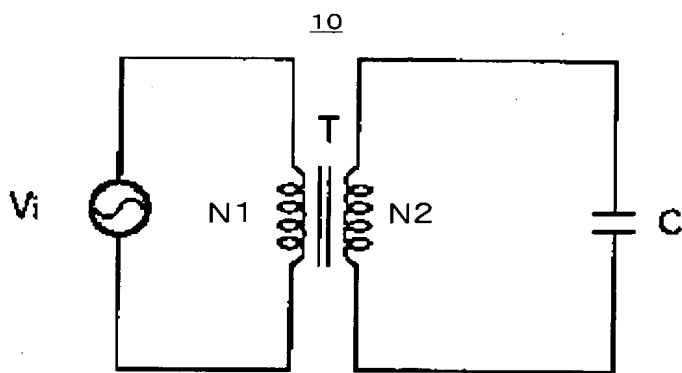
【図 7】



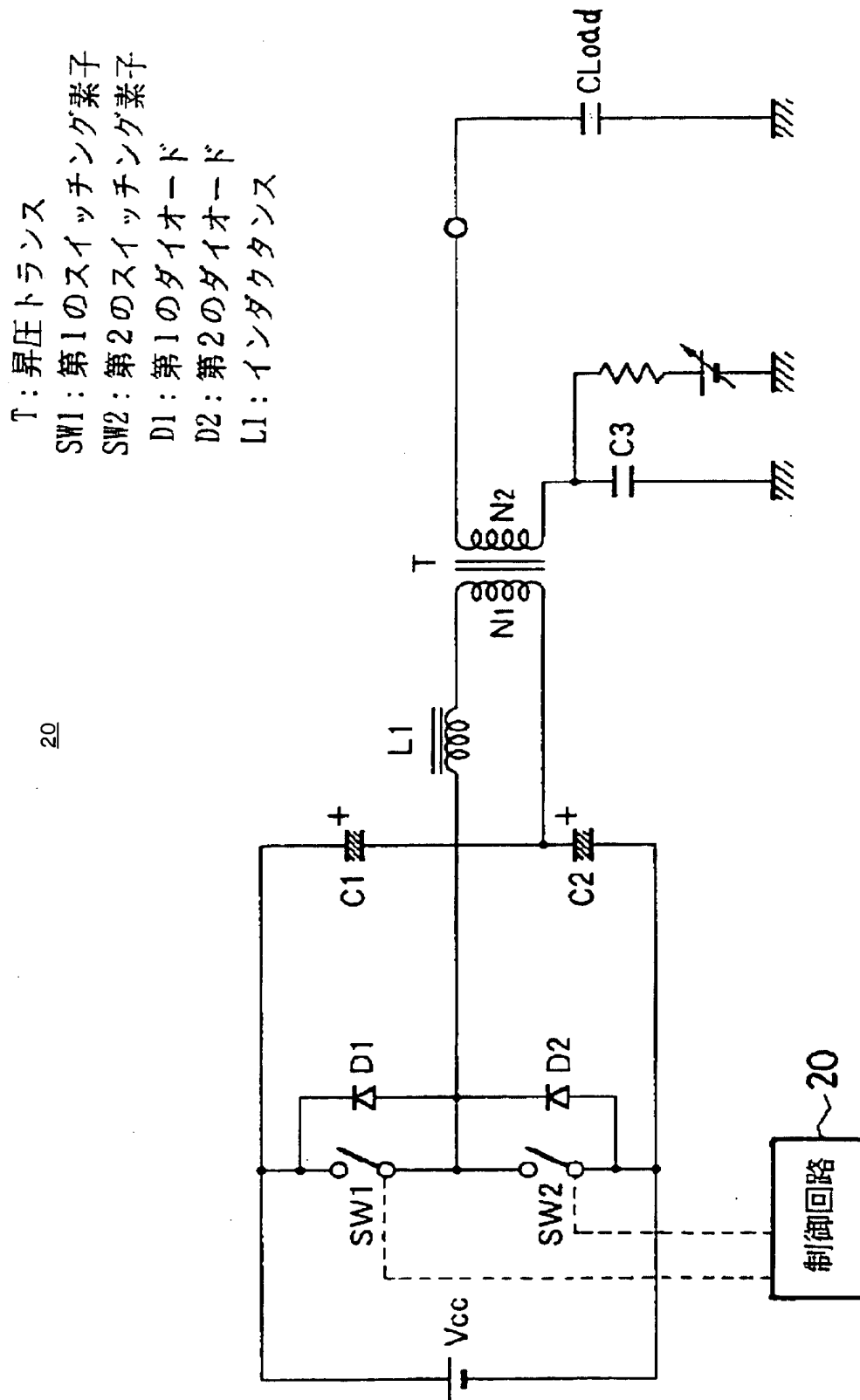
【図 8】



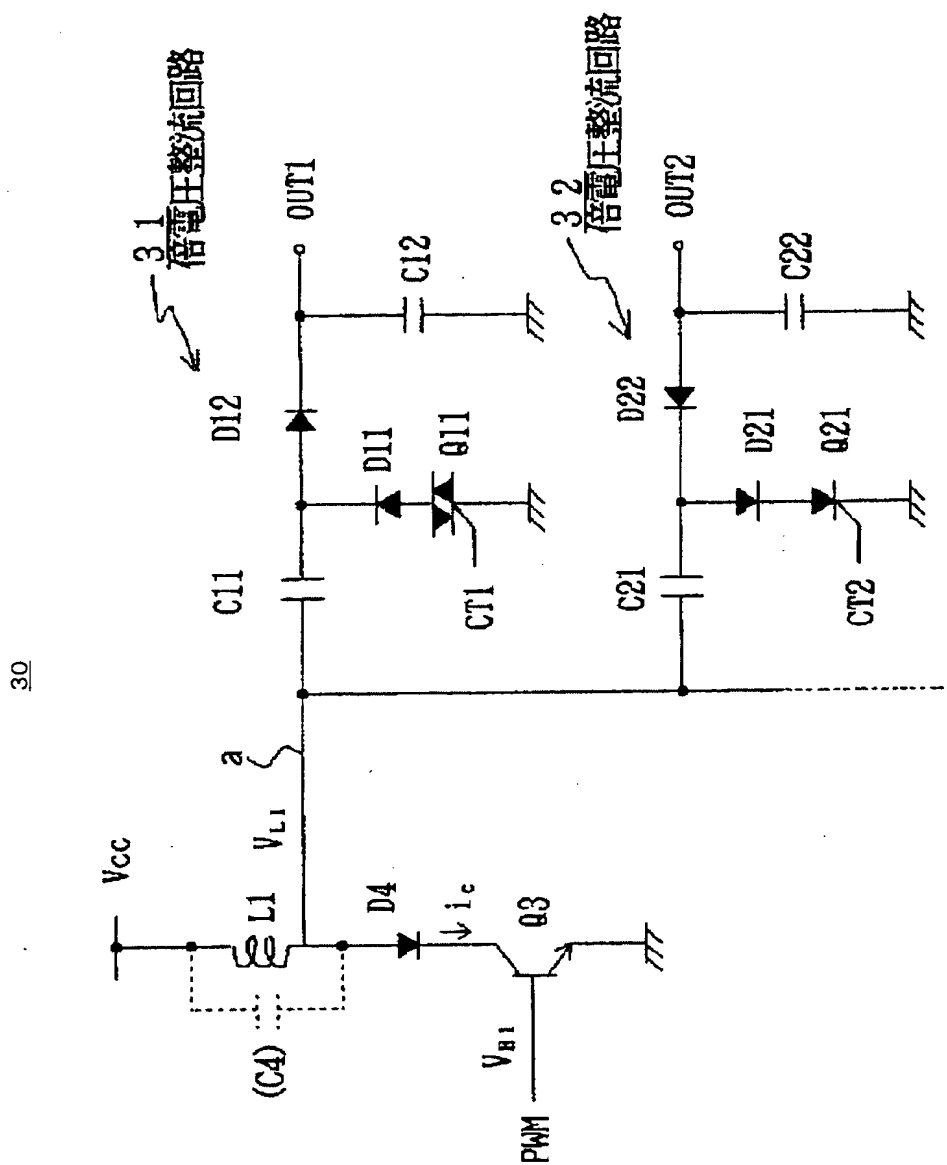
【図 9】



【図 10】



【図 11】



30

【書類名】 要約書

【要約】

【課題】 トランスを用いることなく、負荷に対して大振幅の正弦波を出力できる電源装置及び画像形成装置を提供することを目的とする。

【解決手段】 容量性の負荷を駆動する電源装置 1 0 1 は、並列共振回路 5 1 と、5 2 並列共振回路と、並列共振回路 5 1 に接続され第 1 のスイッチング素子 Q 3 と、並列共振回路 5 2 に接続され第 2 のスイッチング素子 Q 3 2 と、一端が並列共振回路 5 1 の出力端に接続され、他端が並列共振回路 5 2 の出力端に接続された直列共振回路 5 3 を備え、コントローラ 1 0 3 から供給されたクロック信号に基づいて、第 1 のスイッチング素子 Q 3 1 と第 2 のスイッチング素子 Q 3 2 とを交互にオンオフさせる。

【選択図】 図 2

特願 2 0 0 2 - 3 5 7 3 5 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 4 9 6]

1 . 変 更 年 月 日

1 9 9 6 年 5 月 2 9 日

[変 更 理 由]

住 所 変 更

住 所

東 京 都 港 区 赤 坂 二 丁 目 1 7 番 2 2 号

氏 名

富 士 ゼ ロ ッ ク ス 株 式 会 社